
| | |
|---|------------|
| 1. Einleitung | 1 |
| 2. Problemstellung | 9 |
| 2.1. Skizze des hierarchischen VLSI-Entwurfs | 9 |
| 2.2. Kommerzielle Systeme | 16 |
| 2.3. Formalisierung | 24 |
| 2.3.1 Die Timinganalyse | 26 |
| 2.3.2 Das Plazierungsproblem | 30 |
| 2.3.3 Das Floorplanningproblem | 34 |
| 2.3.4 Sizing und Slicingstrukturen | 37 |
| 2.3.5 Das Partitionierungsproblem | 43 |
| 2.3.6 Das Verdrahtungsproblem (Global Routing) | 46 |
| 2.3.7 Pin Assignment und Intervallfestlegung | 51 |
| 3. Stand der Technik | 53 |
| 3.1. Plazierungsverfahren | 53 |
| 3.1.1 Plazierung mittels Simulated Annealing | 53 |
| 3.1.2 Plazierung mit Kräftenmodellen | 56 |
| 3.1.3 Plazierung durch Partitionierung | 58 |
| 3.1.4 Methoden der numerischen Optimierung | 63 |
| 3.1.5 Plazierung mit genetischen Algorithmen | 68 |
| 3.1.6 Timing-driven Placement | 70 |
| 3.1.7 Kombination von Plazierung und Formauswahl | 76 |
| 3.2. Performance-driven Global Routing | 77 |
| 3.2.1 Konstruktion von Routinggraphen | 77 |
| 3.2.2 Übersicht über Verfahren zur globalen Verdrahtung | 80 |
| 3.2.3 Sequentielle Routingverfahren | 81 |
| 3.2.4 Parallele Routingverfahren | 86 |
| 3.2.5 Zeitgesteuerte Ansätze | 91 |
| 3.3. Area- und Timing Estimation | 97 |
| 3.3.1 Flächenabschätzungen | 97 |
| 3.3.2 RC Delay-Modelle | 97 |
| 3.3.3 Pfadverzögerungszeiten und Timinggraphen | 102 |
| 3.4. Zero-Skew Clock Routing | 105 |
| 3.4.1 Algorithmus von Tsay | 105 |
| 3.4.2 Algorithmus von Edahiro | 106 |
| 3.4.3 Buffer Insertion und Wire Sizing | 107 |
| 3.5. Klassifikation verschiedener Floorplanningansätze | 110 |

| | |
|---|------------|
| 4. Timing-driven Floorplanning im PLAYOUT-System | 117 |
| 4.1. Der Chip Planner im PLAYOUT-Entwurfssystem | 117 |
| 4.2. Timing-driven Placement im Chip Planner | 124 |
| 4.2.1 Inplace-Partitionierung mit Terminal-Propagierung | 124 |
| 4.2.2 TPmK: Terminal-Propagierung mit Klassifikation | 128 |
| 4.2.3 TPmB: Terminal-Propagierung mit Budgetierung | 131 |
| 4.3. Performance-driven Global Routing im Chip Planner | 140 |
| 4.3.1 Kanaltypen | 140 |
| 4.3.2 Routinggraph | 142 |
| 4.3.3 Implementierte Algorithmen | 144 |
| 4.3.4 Intervallfestlegung | 149 |
| 4.3.5 Mögliche algorithmische Erweiterungen | 151 |
| 4.4. Area Estimation und Timing Estimation im Chip Planner | 152 |
| 4.4.1 Flächenabschätzung | 152 |
| 4.4.2 Abschätzung von Verzögerungszeiten | 156 |
| 4.5. Hierarchical Zero-Skew Clock Routing | 169 |
| 5. Beispiele und Messungen | 171 |
| 5.1. Technologien und Bibliotheken | 171 |
| 5.2. Charakterisierung der Eingabebeispiele | 173 |
| 5.3. Ergebnisse zur Platzierung | 175 |
| 5.4. Ergebnisse zur globalen Verdrahtung | 203 |
| 6. Resümee und Ausblick | 215 |
| Literaturverzeichnis | 223 |
| Index (mit Abkürzungsverzeichnis) | 233 |
| Anhang A: Umwandlung von Hypergraphen in Graphen | 241 |
| Anhang B: Topologische und topographische Nachbarschaften | 243 |
| Anhang C: Maximale Netzlängen für Verzögerungsvorgaben ... | 245 |
