
Zusammenfassung

Ziel der vorliegenden Arbeit ist die Darstellung und Implementierung von Konzepten zum timing-driven Floorplanning beim hierarchischen VLSI-Entwurf. Kernpunkte eines solchen Entwurfsverfahrens, wie es z. B. das PLAYOUT-System prototypisch verwirklicht, sind bottom-up Abschätzungsphasen und top-down Planungsphasen (Floorplanning) beim Übergang von der Schaltungsstruktur zur -geometrie (Flächenplan und Maskenlayout).

Bei der Planungsphase wird in dieser Arbeit versucht, die beiden Optimierungsziele Chipfläche und maximale Verzögerungszeit gleichrangig zu minimieren, bzw. mit der Kombination dieser beiden Optimierungsziele umzugehen.

Im einzelnen erfolgt dazu die Aufarbeitung der drei großen Teilbereiche des Floorplanning: Platzierung, globale Verdrahtung, und Abschätzungen (Fläche und Verzögerungszeiten).

Die Platzierung mittels rekursiver Bipartitionierung wird für die Berücksichtigung des Verzögerungszeitverhaltens sensibilisiert durch zwei verschiedene Erweiterungen des bekannten Terminal Propagation-Verfahrens: Einerseits durch Klassifikation (in zeitkritische und -unkritische sowie in interne und externe Netze) und andererseits durch Budgetierung (Netzlängen- oder Zeitvorgaben, die zu Bindungswünschen, einer Form von schwachen Restriktionen, führen können).

Auf umfangreiche Arbeiten zur Flächenabschätzung konnte aufgebaut werden. Dagegen werden für die Modellierung der Verzögerungszeiten hierarchische Timinggraphen neu definiert und das Konzept der Shape Functions zu SD-Kurven (Shape and Delay) erweitert.

Bei der globalen Verdrahtung konzentrieren sich die Untersuchungen auf geeignete Routinggraphen und sequentielle Routingverfahren, die das Verzögerungszeitverhalten zu erkannten kritischen Senken optimieren.

Die in den theoretischen Teilen der Arbeit gewonnenen Erkenntnisse finden Anwendung im Ergebnisteil, der Beispiele und Messungen beschreibt, die mit der im PLAYOUT Chip Planner Version 6 vorgenommenen Implementierung ausgewählter Verfahren erzielt wurden. Diese werden auch in Relation gesetzt zu den Ergebnissen der Vorgängerversion des Chip Planner, der ausschließlich nach Flächengesichtspunkten optimiert.

Es zeigt sich, daß der Chip Planner durch modulares und objektorientiertes Design eine ausgezeichnete Experimentierumgebung für aktuelle und zukünftige Technologien bietet, in dem sich Konzepte und Ideen leicht umsetzen und evaluieren lassen.

